

**ZDAQ-ANALOG-1**  
**ハードウェア仕様書 Rev0.1**  
**20170629**

Document No. 270348002J  
Date Published April , 2017

**Shimafuji Electric Inc.**

Printed in Japan

## 目次

1. 概要	2
2. 仕様一覧	2
3. ブロック図	4
4. 仕様・機能	5
4.1. アナログ入力	5
4.1.1. 入力仕様	5
4.1.2. 高速ADC	5
4.1.3. ZDAQ ボードインターフェース	6
4.2. アナログ出力	7
4.2.1. 出力仕様	7
4.2.2. DAC	7
4.2.3. ZDAQ ボードインターフェース	7
4.3. DDS	8
4.3.1. 仕様	9
4.3.2. REFCLK 選択	10
4.3.3. DDS 出力仕様	11
4.3.4. DDS 初期化	12
4.3.5. ZDAQ ボードインターフェース	13
4.4. 任意波形出力	14
4.4.1. 仕様	14
4.4.2. ZDAQ ボードインターフェース	15
4.5. IO 拡張コネクタ	16
4.5.1. 仕様	16
4.5.2. ZDAQ ボードインターフェース	16
5. コネクタ	17
5.1. CN1	18
5.2. CN2	19
5.3. CN3	20
5.4. CN4	20
5.5. CN5	20
6. 基板外形図	21

## 1. 概要

ZDAQ-ANALOG ボード(以下、本ボードと略)は、内部クロック速度 1Gsp/s、14bitDAC を内蔵したダイレクト・デジタル・シンセサイザ AD9910 を搭載しており、周波数シンセサイザ、プログラマブルなクロック・ジェネレータとして使用可能です。その他、アナログ入力に分解能 12bit、サンプリング速度 200MHz の高速 ADC を 2ch、アナログ出力には分解能 12bit のシリアル DAC を 4ch 搭載しています。

本ボードは ZDAQ ボードの拡張コネクタに接続して使用します。

## 2. 仕様一覧

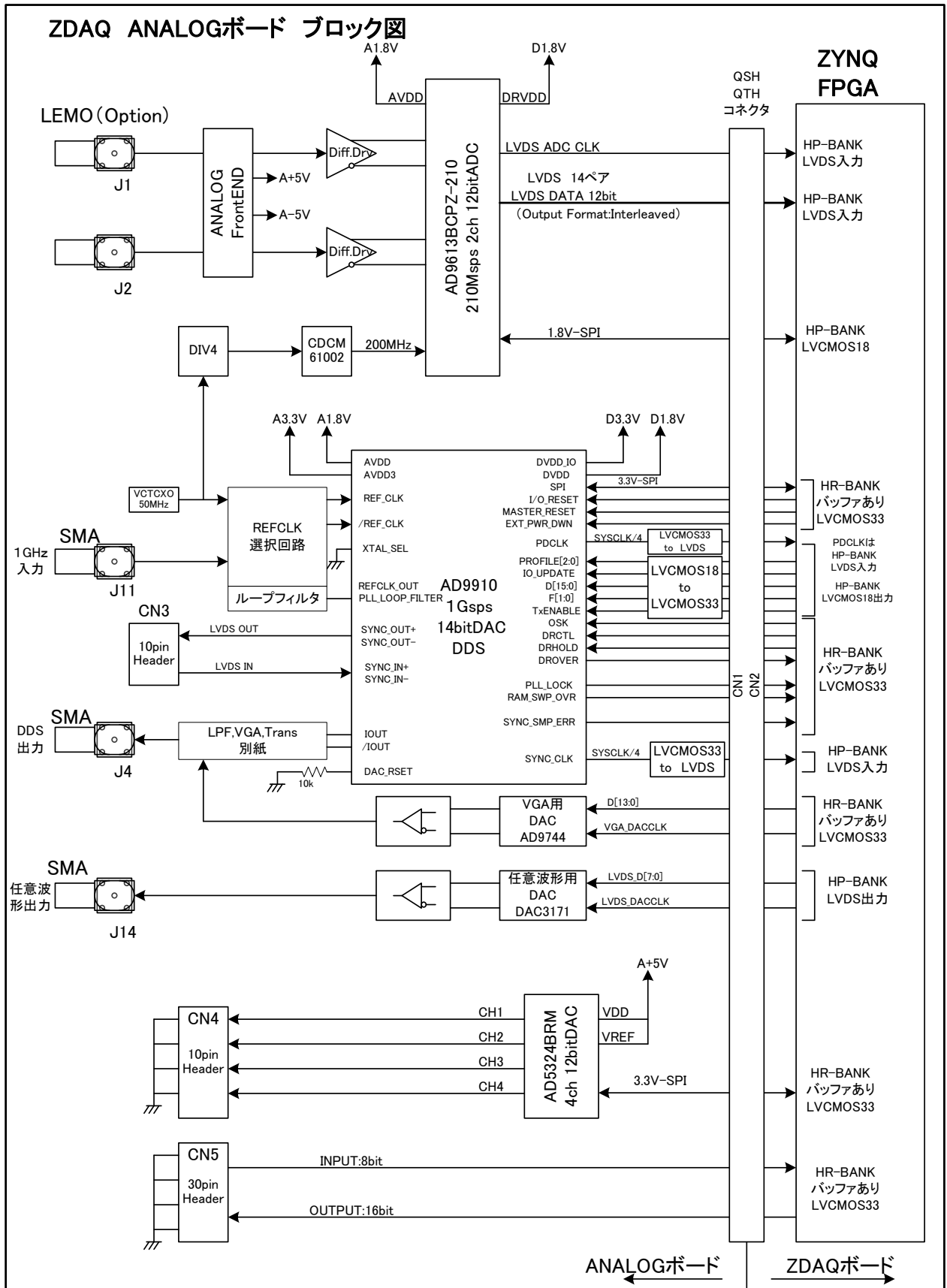
入出力	項目	仕様・機能
アナログ入力  ADC	入力チャンネル数	2ch
	入力レンジ	±5V(max)
	入力形式	シングルエンド、 入力インピーダンス:50Ω
	コネクタ	LEMO (実装 option)
	ADC タイプ	PipeLineADC AD9613BCPZ
	分解能	12bit、2.442mV/LSB
	サンプリング周波数	200MHz
	出力モード	LVDS-DDR モード
アナログ出力	SPI-DAC	AD5324BRM
	分解能	12bit、1.221mV/LSB、Vref=5V
	出力チャンネル数	4ch
	出力レンジ	0~5V
	コネクタ	10pin ヘッドコネクタ
DDS 正弦波出力  掃引・変更	DDS	AD9910 1Gsp/s、14bitDAC
	出力周波数	10~300MHz 下限は ADL5330 の特性による制限、上限はトランスによる制限
	出力可能周波数	5~400MHz 下限はチューニング目標、上限はサンプリング周波数による制限
	周波数分解能	0.23Hz (AD9910 の仕様による)
	出力波形	$A\cos(\omega t + \theta)$ A, $\omega$ , $\theta$ は AD9910 の仕様により設定可能。 ただし、 $\omega = 2\pi (FTW/2^{32})f_{sysclk}$ 。 自動リニアまたは任意の周波数、位相、振幅スイープ機能
	出力形式	正弦波(AM 波、FM 波、PM 波) AD9910 の仕様による
	出力電力	18dBm~40dBm ADL5330 および AD9744 を使用
	出力電力分解能	14bit 0.004dB
	周波数の掃引・変更	AD9910 の掃引・変更機能を使用可 またはソフトウェアでの単一周波数を更新する方法。
	周波数	VCTCXO-50MHz、
	内部クロック 周波数変動	温度ドリフト
20年間変動		±3ppm
周波数		1GHz
外部クロック 周波数変動	周波数安定度	外部クロック精度による
	入力レベル	-3dBm~4dBm 入力 Z:50Ω、コネクタ:SMA
	温度ドリフト	外部信号源仕様による
	年間変動	外部信号源仕様による
位相雑音	位相雑音	-105dBc/Hz @10KHz offset -120dBc/Hz @100KHz offset
	スプリアス	45dBc

## 仕様一覧続き

入出力	項目	仕様・機能
任意波形出力	出力波形	三角波、鋸波、パルスなど 例:FPGAのRAMに書いたパターンデータを再生する
	パターン繰り返し周期	M/200Msps Mは1サイクルのパターン再生に要するクロック数
	出力電圧	4Vp-p 最大 負荷抵抗 1K $\Omega$ 時
		2Vp-p 最大 負荷抵抗 50 $\Omega$ 時
	出力電圧分解能	出力電圧/14bit
	DAC 型番	DAC3171 サンプリング周波数 200MHz
電源		電圧 6V $\pm$ 10%、消費電流:typ 1.4A
ボードサイズ		200 $\times$ 150mm コネクタ突起部は含みません。
動作環境		真空中でも動作可能
動作温度		0 $\sim$ 50 $^{\circ}$ C(ファン空冷要).

### 3. ブロック図

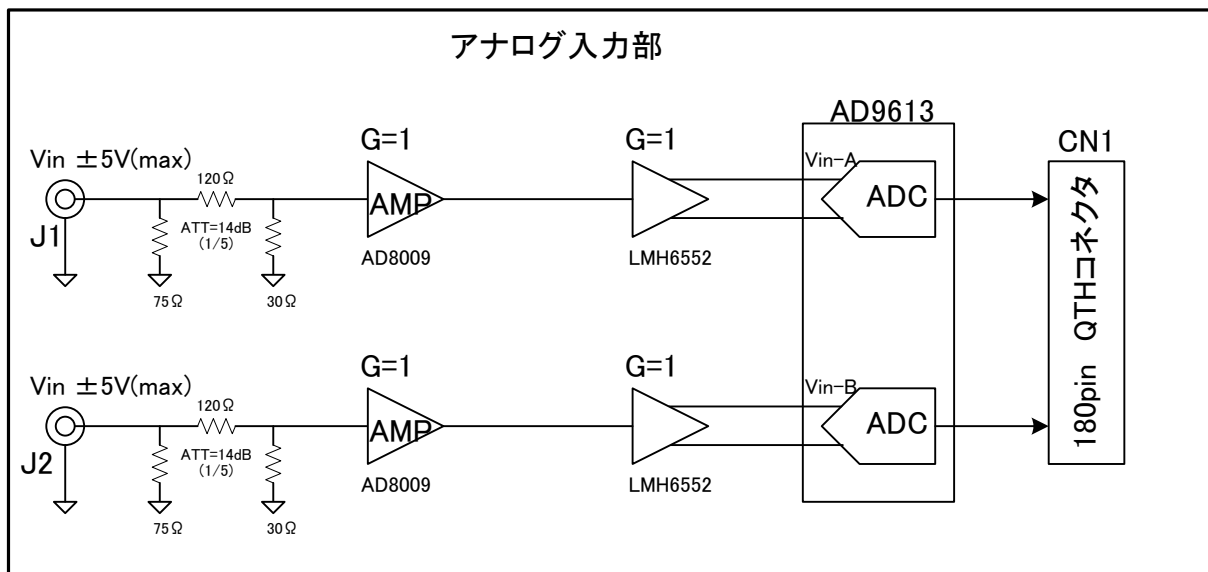
本ボードのブロック図を下図に示します。



## 4. 仕様・機能

### 4.1. アナログ入力

アナログ入力部のブロック図を下図に示します。



#### 4.1.1. 入力仕様

アナログ入力仕様は以下の通りです。

項目	仕様	備考
入力インピーダンス	50Ω	
入力電圧範囲	±5V	
入力チャンネル数	2ch	
入力コネクタ	LEMO (HUBER+SUHNER 社製)	

#### 4.1.2. 高速 ADC

サンプリング速度 200MHz、分解能 12bit の高速 ADC、AD9613 を 1 個搭載しています。

AD9613 はアナログ入力が 2ch あり同時にサンプリングが可能です。

AD9613 の動作モードは SPI シリアルで設定します。

項目	仕様	備考
ADC と動作モード	AD9613-210 LVDS-Parallel 出力フォーマット: 2's Compliment (default) レジスタ(0x14)で変更可能	
分解能	12bit 2.442mV/LSB	
周波数	200MHz	
フルスケール設定	1.75Vp-p (default) 本ボードではフルスケールを 2.014Vp-p に設定します 0.022V/step で設定可能 Input SPAN Select レジスタ(0x18)に 0x0b を設定	

注: 詳細な設定については AD9613 の DS を参照してください。

### 4.1.3.ZDAQ ボードインターフェース

ADC の制御を行う ZDAQ ボード搭載の FPGA 割り当てを以下に示します。

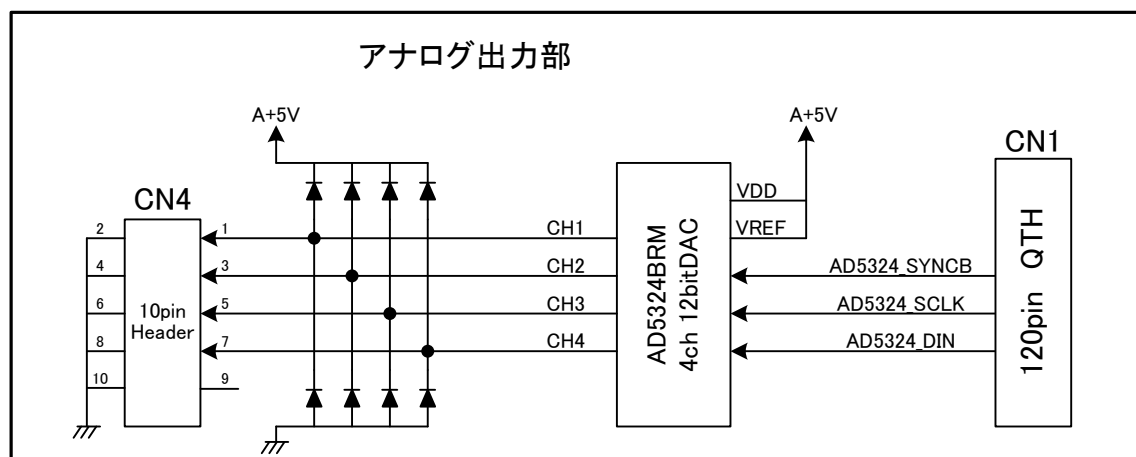
ADC 信号名	ADC I/O	I/F レベル	FPGA -BANK	FPGA ピン番号		備考
ADC0_D0_P	OUT	LVDS	B35	F13		
ADC0_D0_N	OUT	LVDS	B35	E12		
ADC0_D1_P	OUT	LVDS	B35	G12		
ADC0_D1_N	OUT	LVDS	B35	F12		
ADC0_D2_P	OUT	LVDS	B34	K11		
ADC0_D2_N	OUT	LVDS	B34	K10		
ADC0_D3_P	OUT	LVDS	B35	J13		
ADC0_D3_N	OUT	LVDS	B35	H13		
ADC0_D4_P	OUT	LVDS	B35	D16		
ADC0_D4_N	OUT	LVDS	B35	C16		
ADC0_D5_P	OUT	LVDS	B34	G17		
ADC0_D5_N	OUT	LVDS	B34	G16		
ADC0_D6_P	OUT	LVDS	B35	E16		
ADC0_D6_N	OUT	LVDS	B35	E15		
ADC0_D7_P	OUT	LVDS	B35	F17		
ADC0_D7_N	OUT	LVDS	B35	E17		
ADC0_D8_P	OUT	LVDS	B34	B9		
ADC0_D8_N	OUT	LVDS	B34	A9		
ADC0_D9_P	OUT	LVDS	B34	B10		
ADC0_D9_N	OUT	LVDS	B34	A10		
ADC0_D10_P	OUT	LVDS	B35	B14		
ADC0_D10_N	OUT	LVDS	B35	A14		
ADC0_D11_P	OUT	LVDS	B35	B15		
ADC0_D11_N	OUT	LVDS	B35	A15		
ADC_DCO+	OUT	LVDS	B35	E13		
ADC_DCO-	OUT	LVDS	B35	D13		クロック
ADC_CSB	I	LVC MOS18	B34	C8		
ADC_SCLK	I	LVC MOS18	B34	E11		
ADC_SDIO	I/O	LVC MOS18	B34	D11		
OEB	I	—				Fixed to LOW
PDWN	I	—				Fixed to LOW

FPGA の LVDS\_Rx は内部の終端抵抗を使用する差動終端属性を TRUE にしてください。

## 4.2. アナログ出力

本ボードにはシリアル接続の DA コンバータ 12bit/4ch(型番:AD5324)が搭載されています。4 本のアナログ出力信号は 10 ピンヘッダコネクタ(CN4)接続されています。

アナログ出力部のブロック図を示します。



### 4.2.1.出力仕様

出力仕様は以下の通りです。

項目	仕様	備考
出力電圧	0~5V	
出力チャンネル数	4ch	
出力コネクタ	10 ピンヘッダコネクタ	

### 4.2.2.DAC

DAC の仕様は以下の通りです

項目	仕様	備考
DAC 型番	AD5324 シリアル SPI-DAC	
分解能	12bit、1.221mV/LSB	
VREF	5V	

### 4.2.3.ZDAQ ボードインターフェース

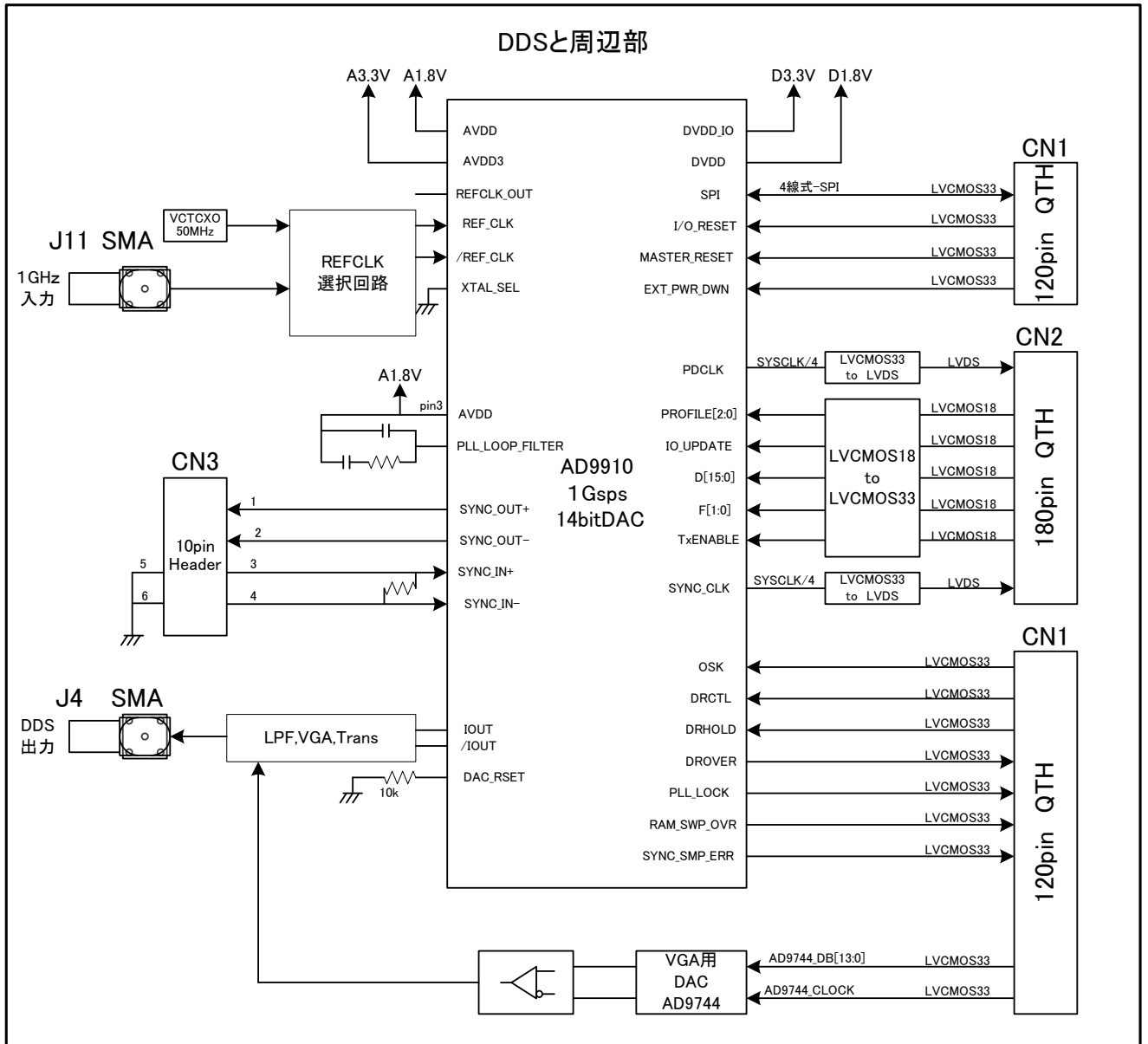
DAC の制御を行う ZDAQ ボード搭載の FPGA 割り当てを以下に示します。

DAC 信号名	DAC I/O	I/F レベル	FPGA -BANK	FPGA ピン番号	備考
SYNCB	I	LVC MOS33	B11	AC24	
SCLK	I	LVC MOS33	B11	AC22	
DIN	I	LVC MOS33	B11	AD23	



### 4.3. DDS

本ボードには内部クロック速度 1Gsp/s、14bitDAC を内蔵したダイレクト・デジタル・シンセサイザ AD9910 を搭載しています。DDS とその周辺部のブロック図を下図に示します。

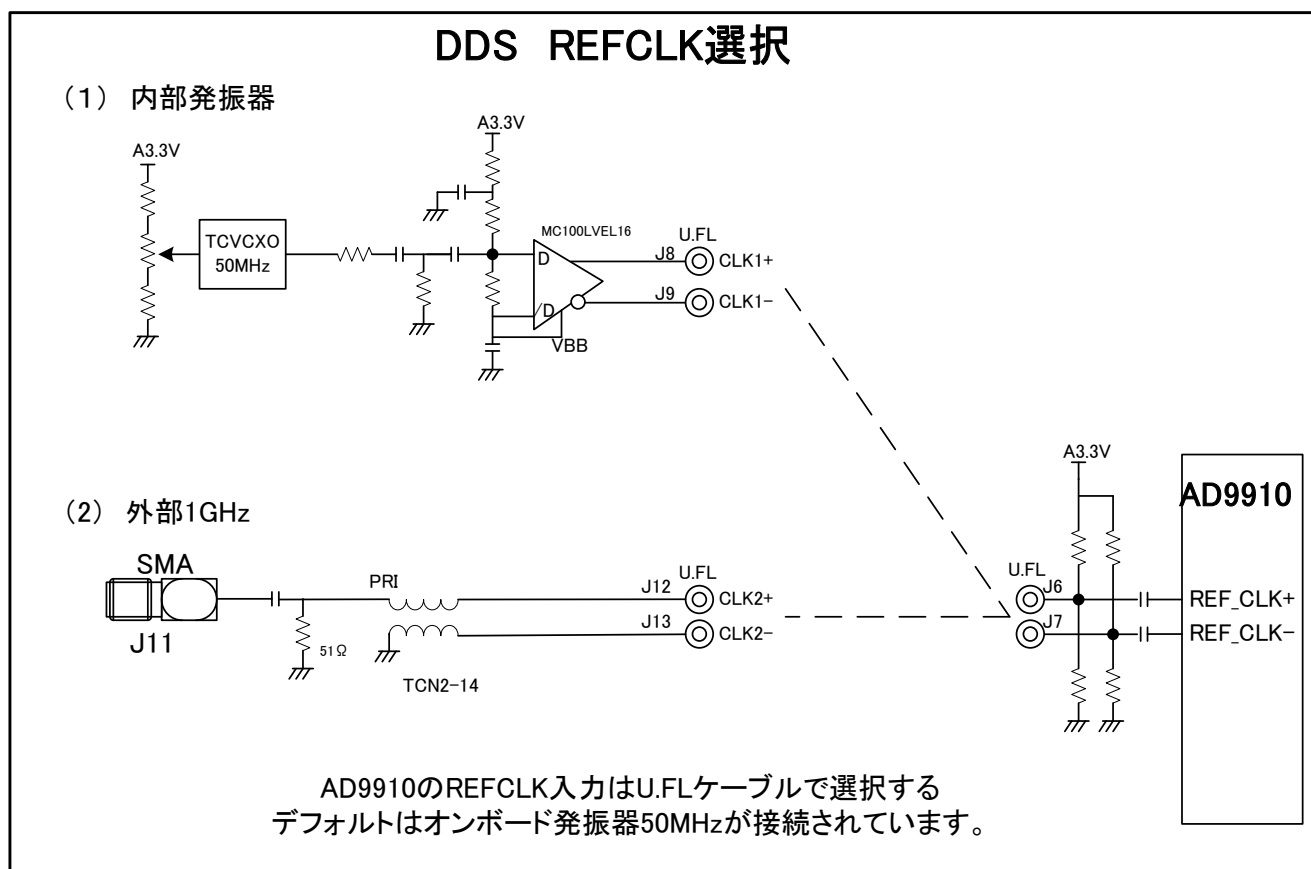


### 4.3.1. 仕様

入出力	項目	仕様・機能	
DDS 正弦波出力	型番	AD9910 1Gsp/s、14bitDAC	
	出力周波数	10~300MHz 下限は ADL5330 の特性による制限、上限はトランスによる制限	
	出力可能周波数	5~400MHz 下限はチューニング目標、上限はサンプリング周波数による制限	
	周波数分解能	0.23Hz (AD9910 の仕様による)	
	出力波形	$A\cos(\omega t + \theta)$ A, $\omega$ , $\theta$ は AD9910 の仕様により設定可能。 ただし、 $\omega = 2\pi (FTW/2^{32})f_{sysclk}$ 。 自動リニアまたは任意の周波数、位相、振幅スイープ機能	
	出力形式	正弦波(AM 波、FM 波、PM 波) AD9910 の仕様による	
	出力電力	18dBm~-40dBm バッファアンプ:ADL5330	
	出力電力分解能	14bit 0.004dB ゲインコントロール DAC:AD9744	
	掃引・変更	周波数の掃引・変更	AD9910 の掃引・変更機能を使用可 またはソフトウェアでの単一周波数を更新する方法。
		発振器周波数	VCTCXO-50MHz
オンボード CLK	温度ドリフト	±1ppm	
	20 年間変動	±3ppm	
外部 CLK	外部クロック周波数	1GHz	
	周波数安定度	外部クロック精度による	
	入力レベル	-3dBm~4dBm 入力 Z:50Ω、コネクタ:SMA	
	温度ドリフト	外部信号源仕様による	
位相雑音	年間変動	外部信号源仕様による	
	位相雑音	-105dBc/Hz @10KHz offset -120dBc/Hz @100KHz offset	
	スプリアス	45dBc	

### 4.3.2. REFCLK 選択

AD9910のREFCLKはオンボードの50MHz発振器または外部入力CLKの1GHzを選択して使用します。選択はU.FLケーブルで接続します。



(a) 外部1GHz入力仕様

項目	仕様	備考
入力周波数	1GHz	
入力インピーダンス	50Ω	
入力レベル	-3dBm~4dBm	
コネクタ	SMA	

(b) REFCLK 入力選択

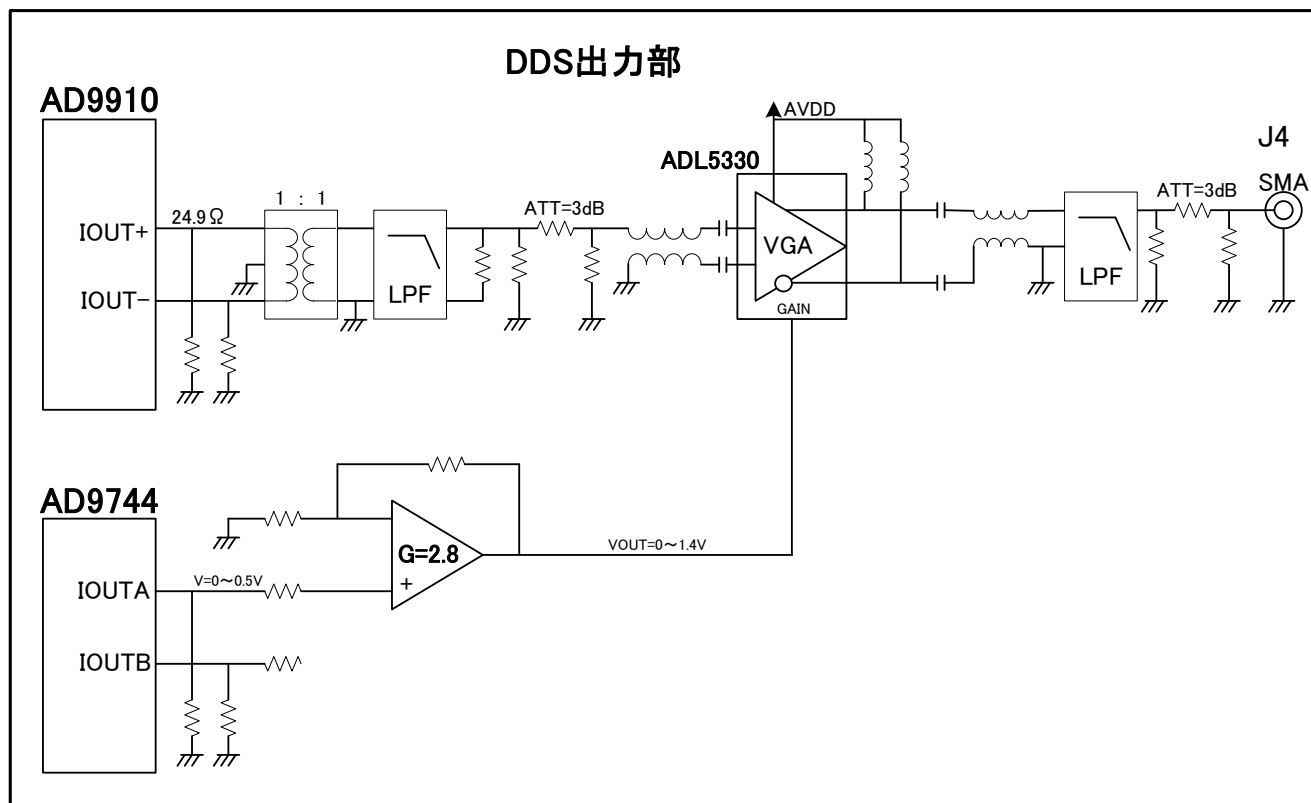
クロック切替は付属の U.FL ケーブルでの接続切替になります。

REFCLK	接続	備考
オンボード 50MHz 選択	J8----J6 J9----J7	Default 接続
外部クロック選択	J12----J6 J13----J7	

接続切替には U.FL コネクタ引き抜き工具をご使用ください。

### 4.3.3.DDS 出力仕様

DDS 出力部の接続ブロックを下図に示します。出力バッファには ADL5330 を使用し、そのゲインコントロールは 14bitDAC の AD9744 で行います。



#### (1) 出力仕様

出力周波数	10~300MHz 下限は ADL5330 の特性による制限、上限はトランスによる制限
出力可能周波数	5~400MHz 下限はチューニング目標、上限はサンプリング周波数による制限
周波数分解能	0.23Hz (AD9910 の仕様による)
出力波形	$A\cos(\omega t + \theta)$ $A, \omega, \theta$ は AD9910 の仕様により設定可能。 ただし、 $\omega = 2\pi (FTW/2^{32})f_{sysclk}$ 。 自動リニアまたは任意の周波数、位相、振幅スイープ機能
出力形式	正弦波(AM 波、FM 波、PM 波) AD9910 の仕様による
出力電力	18dBm~-40dBm バッファアンプ:ADL5330
出力電力分解能	14bit 0.004dB ゲインコントロール DAC:AD9744

(2) AD9744

AD9744 は DDS の出力アンプ ADL5300 のゲインコントロールとして機能します。

AD9744 の動作モードを下記に示します。

項目	仕様	備考
データフォーマット MODE 端子の設定	Straight Binary(Default) R111,R112 : 非実装、実装→Straight Binary R111,R112 : 実装、非実装→2's Compliment	抵抗値は 10K 程度
IoutFS	20mA (Rset=1.92K)	
Vout	0~0.5V (FS) (VGA 用に外部で 2.8 倍)	
サンプリング CLK	FPGA 出力	

#### 4.3.4.DDS 初期化

本ボードの DDS-AD9910 は下記のレジスタを初期化してから使用可能になります。

詳細は AD9910 のデータシートを参照してください。

レジスタ名称	アドレス	初期値	設定値	備考
CFR1	0x00	0x00000000	0x00000002	SDIO 端子を入力に設定します SPI シリアルを 3 線式にします。
CFR3	0x02	0x1F3F4000		オンボード 50MHz 使用時 Fs を 1GHz に設定 VCO レンジ=5 bit[26:24]=101 VCO-ICP=387uA、bit[21:19]=111 PLLenable、bit[8]=1 分周値 N=20、bit[7:1]=0010-100

注：詳細は AD9910 の DS を参照してください。

➤ IO-UPDATE

本ボードでは DDS レジスタ更新の UPDATE 処理は外部 (FPGA) から入力することで更新されます。

SPI 制御レジスタの内部からも更新が可能ですが、その場合は IO\_UPDATE ピンが出力に切り替わりますのでチップ抵抗(R139)を外してください。

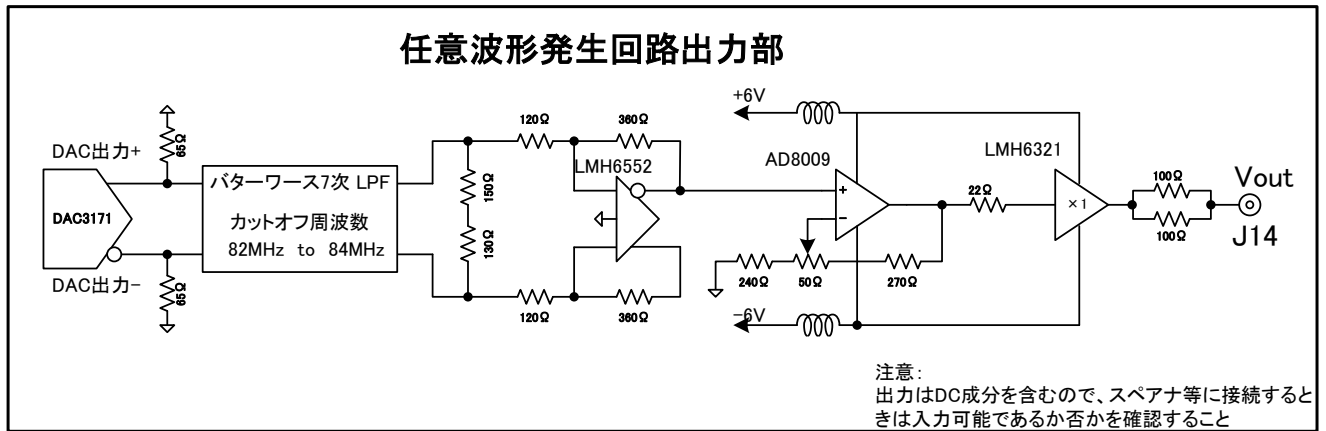
### 4.3.5.ZDAQ ボードインターフェース

DDS の制御を行う ZDAQ ボード搭載の FPGA 割り当てを以下に示します。

DDS 信号名	DDS I/O	I/F レベル	変換 バッファ	FPGA バンク	FPGA ピン番号	備考
IO_RESET	I	LVC MOS33		B10	AC14	
/CS	I	LVC MOS33		B10	AD16	
SCLK	I	LVC MOS33		B10	AE18	
SDO	O	LVC MOS33		B11	AK18	
SDIO	I	LVC MOS33		B10	AE16	
DRHOLD	I	LVC MOS33		B10	AB12	
DRCTL	I	LVC MOS33		B10	AE13	
DROVER	O	LVC MOS33		B11	AJ19	
OSK	I	LVC MOS33		B9	AA19	
IO_UPDATE	I	LVC MOS33	1.8V 変換	B34	C7	
SYNC_CLK	O	LVC MOS33	LVDS <sub>p</sub> 変換	B34	D9	
			LVDS <sub>n</sub> 変換	B34	D8	
PROFILE0	I	LVC MOS33	1.8V 変換	B34	D10	
PROFILE1	I	LVC MOS33	1.8V 変換	B34	E10	
PROFILE2	I	LVC MOS33	1.8V 変換	B34	B7	
F0	I	LVC MOS33	1.8V 変換	B34	K8	
F1	I	LVC MOS33	1.8V 変換	B35	L15	
D0	I/O	LVC MOS33	1.8V 変換	B35	L14	
D1	I/O	LVC MOS33	1.8V 変換	B35	L13	
D2	I/O	LVC MOS33	1.8V 変換	B35	K13	
D3	I/O	LVC MOS33	1.8V 変換	B34	L12	
D4	I/O	LVC MOS33	1.8V 変換	B34	L10	
D5	I/O	LVC MOS33	1.8V 変換	B34	L9	
D6	I/O	LVC MOS33	1.8V 変換	B34	F8	
D7	I/O	LVC MOS33	1.8V 変換	B34	F7	
D8	I/O	LVC MOS33	1.8V 変換	B34	L7	
D9	I/O	LVC MOS33	1.8V 変換	B34	K7	
D10	I/O	LVC MOS33	1.8V 変換	B34	J8	
D11	I/O	LVC MOS33	1.8V 変換	B34	H8	
D12	I/O	LVC MOS33	1.8V 変換	B34	J11	
D13	I/O	LVC MOS33	1.8V 変換	B34	H11	
D14	I/O	LVC MOS33	1.8V 変換	B34	H12	
D15	I/O	LVC MOS33	1.8V 変換	B34	G11	
TxENABLE	I	LVC MOS33	1.8V 変換	B34	K12	
PDCLK	O	LVC MOS33	LVDS <sub>p</sub> 変換	B34	G10	
			LVDS <sub>n</sub> 変換	B34	F10	
SYNC_SMP_ERR	O	LVC MOS33		B10	AH12	
MASTER_RESET	I	LVC MOS33		B10	AG17	
EXT_PWR_DWN	I	LVC MOS33		B10	AF18	
PLL_LOCK	O	LVC MOS33		B10	AD13	
RAM_SWP_OVR	O	LVC MOS33		B11	AG19	

#### 4.4. 任意波形出力

正弦波出力の DDS に対して任意波形出力用に高速 DAC(DAC3171)を搭載しています。FPGA メモリにパターンデータを書き込み、ハードウェア DMA にてパターンデータを再生します。出力部の構成を下図に示します。



##### 4.4.1.仕様

入出力	項目	仕様・機能
任意波形出力	出力波形	三角波、鋸波、パルスなど 例: FPGA の RAM に書いたパターンデータを再生する
	パターン繰り返し周期	M/200Msps M は 1 サイクルのパターン再生に要するクロック数
	出力電圧	4Vp-p 最大 (負荷抵抗 1KΩ 時) 2Vp-p 最大 (負荷抵抗 50Ω 時)
	出力電圧分解能	出力電圧/14bit
	高速 DAC	型番: DAC3171 サンプリング周波数: 200MHz 動作モード: 14bit インターフェースモード

#### 4.4.2.ZDAQ ボードインターフェース

任意波形出力用高速 DAC (DAC3171) と FPGA の割り当てを以下に示します。

DAC 信号名	DAC I/O	I/F レベル	FPGA -BANK	FPGA ピン番号		備考
DAC3171_D0n	I	LVDS	-	NC		
DAC3171_D0p	I	LVDS	-	NC		
DAC3171_D1n	I	LVDS	B34	A17		
DAC3171_D1p	I	LVDS	B34	B17		
DAC3171_D2n	I	LVDS	B35	B16		
DAC3171_D2p	I	LVDS	B35	C17		
DAC3171_D3n	I	LVDS	B35	H16		
DAC3171_D3p	I	LVDS	B35	J16		
DAC3171_D4n	I	LVDS	B35	A12		
DAC3171_D4p	I	LVDS	B35	A13		
DAC3171_D5n	I	LVDS	B34	A7		
DAC3171_D5p	I	LVDS	B34	A8		
DAC3171_D6n	I	LVDS	B35	D14		
DAC3171_D6p	I	LVDS	B35	D15		
DATACLKn	I	LVDS	B35	F14		
DATACLKp	I	LVDS	B35	F15		
DAC3171_D7n	I	LVDS	B35	C13		
DAC3171_D7p	I	LVDS	B35	C14		
DAC3171_D8n	I	LVDS	B35	B12		
DAC3171_D8p	I	LVDS	B35	C12		
DAC3171_D9n	I	LVDS	B35	B11		
DAC3171_D9p	I	LVDS	B35	C11		
DAC3171_D10n	I	LVDS	B35	H14		
DAC3171_D10p	I	LVDS	B35	J14		
DAC3171_D11n	I	LVDS	B35	J9		
DAC3171_D11p	I	LVDS	B35	J10		
DAC3171_D12n	I	LVDS	B35	G14		
DAC3171_D12p	I	LVDS	B35	G15		
DAC3171_D13n	I	LVDS	B35	J15		
DAC3171_D13p	I	LVDS	B35	K15		
DAC_SYNCn	I	LVDS	B34	G7		
DAC_SYNCp	I	LVDS	B34	H7		
DAC_ALIGNn	I	LVDS	B34	B6		
DAC_ALIGNp	I	LVDS	B34	C6		
DAC_CLKn	I	LVPECL	-	-		
DAC_CLKp	I	LVPECL	-	-		
DAC_SDO	O	LVC MOS33	B11	AJ20		
DAC_SDIO	I	LVC MOS33	B12	AH28		
DAC_SCLK	I	LVC MOS33	B12	AK28		
DAC_SDENB	I	LVC MOS33	B12	AH29		
DAC_RESETB	I	LVC MOS33	B12	AJ30		
DAC_ALARM	O	LVC MOS33	B11	AF20		
DAC_TxENABLE	I	LVC MOS33	B12	AF30		



## 4.5. IO 拡張コネクタ

本ボードには ZDAQ-SoC から IO 信号を 24 ポートを接続した 30 ピンコネクタを用意しています。各種の制御用に使用可能です。

### 4.5.1.仕様

項目	仕様	備考
インターフェース	LVC MOS33 シングルエンド	
入力数	8 ポート	
出力数	16 ポート	
コネクタ	30 ピンヘッダコネクタ	

### 4.5.2.ZDAQ ボードインターフェース

信号名	I/O	CN5 アサイン	FPGA -BANK	FPGA ピン番号	備考
BUF_IN01	IN	CN5-1	B10	AJ18	
BUF_IN03	IN	CN5-2	B10	AK15	
BUF_IN05	IN	CN5-3	B10	AK16	
BUF_IN07	IN	CN5-4	B10	AH16	
BUF_IN09	IN	CN5-5	B10	AK12	
BUF_IN11	IN	CN5-6	B10	AJ13	
BUF_IN13	IN	CN5-7	B10	AH13	
BUF_IN15	IN	CN5-8	B10	AF12	
BUF_OUT32	OUT	CN5-11	B11	AB22	
BUF_OUT34	OUT	CN5-12	B11	AC23	
BUF_OUT36	OUT	CN5-13	B11	AE21	
BUF_OUT38	OUT	CN5-14	B11	AD24	
BUF_OUT40	OUT	CN5-15	B11	AF24	
BUF_OUT42	OUT	CN5-16	B11	AG25	
BUF_OUT44	OUT	CN5-17	B11	AH22	
BUF_OUT46	OUT	CN5-18	B11	AH24	
BUF_OUT48	OUT	CN5-21	B12	AK26	
BUF_OUT50	OUT	CN5-22	B12	AH26	
BUF_OUT52	OUT	CN5-23	B12	AH27	
BUF_OUT54	OUT	CN5-24	B12	AJ29	
BUF_OUT56	OUT	CN5-25	B12	AJ28	
BUF_OUT58	OUT	CN5-26	B12	AG29	
BUF_OUT60	OUT	CN5-27	B12	AG30	
BUF_OUT62	OUT	CN5-28	B12	AK30	

注1：信号名は ZDAQ-SoC ボードの信号名と同じ信号名になります。

ZDAQ-SoC(FPGA)と CN5 間には LCX541 相当のパッファを介して接続されます。

注2：信号の I/O は ZDAQ-SoC (FPGA) から見ての入力、出力になります。

## 5. コネクタ

本ボードに実装されているコネクタ一覧を下記に示します。

### コネクタ一覧

CN NO.	機能および接続先	使用コネクタ	備考
CN1	LVCMO33-拡張 IO コネクタ	QTH-060-02-L-D-A	120Pin
CN2	LVDS-拡張 IO コネクタ	QTH-090-02-L-D-A	180pin
CN3	テストコネクタ	HIF3FC-10PA-2.54DSA	10pin
CN4	アナログ出力コネクタ	HIF3FC-10PA-2.54DSA	10pin
CN5	IO コネクタ	HIF3FC-30PA-2.54DSA	30pin
J1	Ch1 アナログ入力同軸コネクタ	85QLA01-0-2	SUHNER
J2	Ch2 アナログ入力同軸コネクタ	85QLA01-0-2	SUHNER
J3	測定用同軸コネクタ	U.FL-R	
J4	DDS 出力同軸コネクタ	5-1814400-1	SMA
J5	測定用同軸コネクタ	U.FL-R	
J6	DDS REF_CLKp 入力同軸コネクタ	U.FL-R	
J7	DDS REF_CLKn 入力同軸コネクタ	U.FL-R	
J8	50MHz 発振器出力 p 同軸コネクタ	U.FL-R	
J9	50MHz 発振器出力 n 同軸コネクタ	U.FL-R	
J10	測定用同軸コネクタ	U.FL-R	
J11	外部クロック入力同軸コネクタ	5-1814400-1	SMA 1GHZ
J12	外部クロック差動出力 p 同軸コネクタ	U.FL-R	
J13	外部クロック差動出力 n 同軸コネクタ	U.FL-R	
J14	任意波形出力同軸コネクタ	5-1814400-1	SMA

## 5.1. CN1

CN1 は ZDAQ-SoC ボードの FPGA と接続する 120 ピンコネクタです。信号は LVCMOS33 レベルのシングルエンド信号で、FPGA との間にバッファが接続されているため方向が決まっています。入力ポートは 32bit+ 入力 CLK 専用ポートが 2bit の合計 34bit がアサインされています。また、出力ポートは 64bit+ 出力専用 CLK ポートが 2bit の合計 66bit がアサインされています。

CN1 QTH-060-02-L-D-A (SAMTEC)

PinNO.	SIGNAL	PinNO.	SIGNAL	PinNO.	SIGNAL	PinNO.	SIGNAL
1		2		91		92	
3	GND	4	GND	93		94	
5		6		95	GND	96	GND
7		8		97		98	DAC_TXENABLE
9		10		99		100	DAC_RESETB
11		12		101		102	DAC_SDENB
13		14		103		104	DAC_SCLK
15		16		105		106	DAC_SDI
17		18		107		108	
19		20		109		110	
21	GND	22	GND	111		112	
23		24	AD9910_SMPERR	113	D+6V	114	D+6V
25		26	AD9910_PLLLOCK	115	D+6V	116	D+6V
27		28	AD9910_RAMSWP	117	A+6V	118	A+6V
29		30	AD9910_SDO	119	A+6V	120	A+6V
31		32	AD9910_DROVER				
33		34					
35		36	DAC_ALARM				
37		38	DAC_SDO				
39	GND	40	GND				
41		42	AD9744_CLK				
43	GND	44	GND				
45	AD9910_MAS_RST	46	AD9744_DB0				
47	AD9910_EXT_PDWN	48	AD9744_DB1				
49	AD9910_SCLK	50	AD9744_DB2				
51	AD9910_CSB	52	AD9744_DB3				
53	AD9910_SDI	54	AD9744_DB4				
55	AD9910_IORST	56	AD9744_DB5				
57	AD9910_DR_HLD	58	AD9744_DB6				
59	AD9910_DRCTL	60	AD9744_DB7				
61	AD9910_OSK	62	AD9744_DB8				
63		64	AD9744_DB9				
65		66	AD9744_DB10				
67		68	AD9744_DB11				
69		70	AD9744_DB12				
71		72	AD9744_DB13				
73		74					
75		76					
77	GND	78	GND				
79		80	AD5324_SYNCB				
81		82	AD5324_SCLK				
83		84	AD5324_DIN				
85		86					
87		88					
89		90					

## 5.2. CN2

CN2はZDAQ-SoCボードのFPGAと接続する180ピンコネクタです。信号はLVDSの差動信号またはLVCMOS18レベルのシングルエンド信号でインターフェースされます。FPGAのHPバンクと直接に接続されています。

CN2 QTH-090-02-L-D-A (SAMTEC)

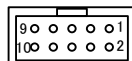
PinNO.	SIGNAL	PinNO.	SIGNAL	PinNO.	SIGNAL	PinNO.	SIGNAL
1	AD9910_F1	2		91	ADC_D4p	92	DAC_D8p
3	AD9910_PD0	4	AD9910_F0	93	ADC_D4n	94	DAC_D8n
5	GND	6	GND	95	GND	96	GND
7	AD9910_PD1	8	AD9910_PD8	97	ADC_D5p	98	DAC_D7p
9	AD9910_PD2	10	AD9910_PD9	99	ADC_D5n	100	DAC_D7n
11	GND	12	GND	101	GND	102	GND
13	AD9910_PD3	14	AD9910_PD10	103	ADC_DCLKp	104	DAC_DCLKp
15	AD9910_TXENABLE	16	AD9910_PD11	105	ADC_DCLKn	106	DAC_DCLKn
17	GND	18	GND	107	GND	108	GND
19	AD9910_PD4	20	AD9910_PD12	109	ADC_D6p	110	DAC_D6p
21	AD9910_PD5	22	AD9910_PD13	111	ADC_D6n	112	DAC_D6n
23	GND	24	GND	113	GND	114	GND
25	AD9910_PD6	26	AD9910_PD14	115	ADC_D7p	116	DAC_D5p
27	AD9910_PD7	28	AD9910_PD15	117	ADC_D7n	118	DAC_D5n
29	GND	30	GND	119	GND	120	GND
31	AD9910_PDCLKp	32	AD9910_SYNCLKp				
33	AD9910_PDCLKn	34	AD9910_SYNCLKn	121	ADC_D8p	122	DAC_D4p
35	GND	36	GND	123	ADC_D8n	124	DAC_D4n
37		38	FPGA_CLKp	125	GND	126	GND
39		40	FPGA_CLKn	127	ADC_D9p	128	DAC_D3p
41	GND	42	GND	129	ADC_D9n	130	DAC_D3n
43	AD9910_IOUPDATE	44		131	GND	132	GND
45	AD9910_PROFILE2	46		133	ADC_D10p	134	DAC_D2p
47	GND	48	GND	135	ADC_D10n	136	DAC_D2n
49	AD9910_PROFILE1	50	DAC_ALIGNp	137	GND	138	GND
51	AD9910_PROFILE0	52	DAC_ALIGNn	139	ADC_D11p	140	DAC_D1p
53	GND	54	GND	141	ADC_D11n	142	DAC_D1n
55		56	DAC_SYNCp	143	GND	144	GND
57	ADC_CSB	58	DAC_SYNCn	145	ADC_ORp	146	DAC_D0p
59	GND	60	GND	147	ADC_ORn	148	DAC_D0n
				149	D+6V	150	D+6V
61	ADC_SCLK	62	DAC_D13p	151	D+6V	152	D+6V
63	ADC_SDIO	64	DAC_D13n	153	D+6V	154	D+6V
65	GND	66	GND	155	D+6V	156	D+6V
67	ADC_D0p	68	DAC_D12p	157	D+6V	158	D+6V
69	ADC_D0n	70	DAC_D12n	159	D+6V	160	D+6V
71	GND	72	GND	161	D+6V	162	D+6V
73	ADC_D1p	74	DAC_D11p	163	D+6V	164	D+6V
75	ADC_D1n	76	DAC_D11n	165	A+6V	166	A+6V
77	GND	78	GND	167	A+6V	168	A+6V
79	ADC_D2p	80	DAC_D10p	169	A+6V	170	A+6V
81	ADC_D2n	82	DAC_D10n	171	A+6V	172	A+6V
83	GND	84	GND	173	A+6V	174	A+6V
85	ADC_D3p	86	DAC_D9p	175	A+6V	176	A+6V
87	ADC_D3n	88	DAC_D9n	177	A+6V	178	A+6V
89	GND	90	GND	179	A+6V	180	A+6V

### 5.3. CN3

CN3はDDSのテストコネクタでLVDSの差動インターフェースです。

CN3 HIF3FC-10PA-2.54DSA

Pin No.	SIGNAL	Remarks	Pin No.	SIGNAL	Remarks
1	SYNCIN <sub>p</sub>		2	SYNCIN <sub>n</sub>	
3	SYNCOUT <sub>p</sub>		4	SYNCOUT <sub>n</sub>	
5	GND		6		
7			8		
9			10		

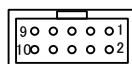


### 5.4. CN4

CN4は4chアナログ出力コネクタです。

CN4 HIF3FC-10PA-2.54DSA

Pin No.	SIGNAL	Remarks	Pin No.	SIGNAL	Remarks
1	VoutA		2	GND	
3	VoutB		4	GND	
5	VoutC		6	GND	
7	VoutD		8	GND	
9			10	GND	

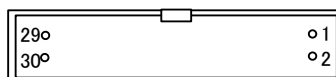


### 5.5. CN5

CN5はアナログボードのIO拡張用です。

CN5 HIF3FC-30PA-2.54DSA

Pin No.	SIGNAL	Remarks	Pin No.	SIGNAL	Remarks
1	BUF_IN01		2	BUF_IN03	
3	BUF_IN05		4	BUF_IN07	
5	BUF_IN09		6	BUF_IN11	
7	BUF_IN13		8	BUF_IN15	
9	GND		10	GND	
11	BUF_OUT32		12	BUF_OUT34	
13	BUF_OUT36		14	BUF_OUT38	
15	BUF_OUT40		16	BUF_OUT42	
17	BUF_OUT44		18	BUF_OUT46	
19	GND		20	GND	
21	BUF_OUT48		22	BUF_OUT50	
23	BUF_OUT52		24	BUF_OUT54	
25	BUF_OUT56		26	BUF_OUT58	
27	BUF_OUT60		28	BUF_OUT62	
29	N.C		30	N.C	





## 改訂履歴

版数	日付	内容	備考
Tentative	2017-3-15	Tentative	
	2017-4-28	誤記訂正	
Rev0.1	2017-6-28	ハードウェア仕様書に改名	